

引用格式:陈福栈,甘业兵,罗彦彬,等. 一种 2.4GHz 多模块集成 CMOS 射频前端芯片[J]. 微电子学与计算机,2020,37(12): 27-32. [CHEN F Z, GAN Y B, LUO Y B, et al. A 2.4GHz multi-module CMOS RF front-end chip[J]. Microelectronics & Computer, 2020, 37(12): 27-32.]

一种 2.4GHz 多模块集成 CMOS 射频前端芯片

陈福栈^{1,2}, 甘业兵^{1,2,3}, 罗彦彬^{1,2,3}, 叶甜春^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049;
3 杭州中科微电子有限公司, 浙江 杭州 310053)

摘 要: 为提升无线通信终端中射频模组的集成度、降低终端的实现成本, 基于 0.18 μm CMOS 工艺设计了一款 2.4 GHz 射频前端芯片, 片上集成射频功率放大器(PA)、射频低噪声放大器(LNA)、射频开关、基准源电路及数字控制电路, PA 和 LNA 的阻抗匹配网络均采用片上元件实现。测试结果显示, 接收模式下, 芯片的增益为 11.2 dB, 输入\输出回波损耗分别为-5.8 dB 及-21.1 dB, IIP3 为 3.9 dBm; 发射模式下, 芯片增益达 26.8 dB, 输入\输出回波损耗分别为-21 dB 及-14.2 dB, 输出 1 dB 压缩点为 23.5 dBm, 峰值 PAE 达 24%。本芯片对于 2.4 GHz ISM 频段通信系统具备一定的应用价值。

关键词: CMOS; 射频前端模组; 射频功率放大器; 射频低噪声放大器; 射频开关

中图分类号: TN432 **文献标识码:** A **文章编号:** 1000-7180(2020)12-0027-06

A 2.4GHz multi-module CMOS RF front-end chip

CHEN Fu-zhan^{1,2}, GAN Ye-bing^{1,2,3}, LUO Yan-bin^{1,2,3}, YE Tian-chun^{1,2}

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;
2 University of Chinese Academy of Sciences, Beijing 100049, China;
3 Hangzhou Zhongke Microelectronics Co., Ltd., Hangzhou 310053, China)

Abstract: To improve the integration density of RF front-end modules and reduce the cost of wireless communication terminals, a 2.4GHz RF front-end chip is designed and fabricated based on 0.18 μm CMOS process. The chip incorporates a power amplifier, a low noise amplifier, a SPST switch, a bandgap circuit and digital control circuit. The impedance matching networks of the PA and the LNA are all implemented on chip. The test results show that in the receiving mode, the chip gain is 11.2dB, the input output return loss is -5.8dB and -21.1dB respectively, and the IIP3 is 3.9dbm. In the transmission mode, the chip gain is up to 26.8dB, the input output return loss is -21dB and -14.2dB respectively, the output 1dB compression point is 23.5dbm, and the peak PAE is up to 24%. The chip possesses application prospect for 2.4GHz wireless communication systems.

Key words: CMOS; RF front-end module; RF power amplifier; RF low noise amplifier; RF switch

1 引言

随着通信技术的高速发展,作为无线通信终端的必要组成部分,射频芯片变得愈发重要。目前, GaAs、GaN 等化合物器件凭借优良的高频特性,被广泛应用于射频前端电路的设计与制造中,但它们

的成本高、工艺兼容性较差,常以分立器件的形式出现在应用中,使得通信系统的集成度较低、成本较高。随着 CMOS 工艺日趋成熟,CMOS 器件的高频特性得到了长足的改善,且 CMOS 射频组件具有易于集成大规模数字电路的先天优势,随着通信终端对集成度的要求越来越高,采用 CMOS 工艺实现射

中该端外接 $M2$ 管或 $M3$ 管的栅极. $M5$ 管及电阻 $R3$ 、 $M6$ 管及电阻 $R4$ 为两条镜像支路,如若 $M5$ 管与 $M6$ 管的尺寸之比等于电阻 $R4$ 与 $R3$ 的阻值之比,那么 A 点电位与 B 点电位相等,因此可通过调节 $M7$ 管的尺寸调整 BIAS 端的输出直流电压. $M6 \sim M8$ 管及电阻 $R5$ 构成负反馈电路,以保证 C 点电压 V_C 的稳定性. 为分析图 3 所示电路的工作原理,将二极管连接的 $M5$ 管等效为理想二极管. 假设 BIAS 端即放大管栅极射频信号的表达式为 $V_{IN} = V_{RF} \sin(\omega t)$,当 V_{RF} 小于 V_C 时, $M5$ 管在全信号周期导通, BIAS 端输出的直流电压 V_{BIAS} 维持恒定,设该值为 $V_{BIAS,S}$. 随着输入信号功率增大, V_{RF} 增大, $M5$ 在部分信号周期反偏,显然, $M5$ 管的导通角 α 随着 V_{RF} 的增大而减小. 通过傅里叶变换易得此时 $M5$ 管源漏电势差的直流成分的表达式为

$$V_{DC,B} \approx \frac{1}{2\pi} \left[(V_C - V_{DC,S})\alpha + 2V_{RF} \sin\left(\pi - \frac{\alpha}{2}\right) \right] \quad (1)$$

由于

$$(V_C - V_{DC,S})\alpha \sim V_{RF}, 2V_{RF} \sin(\pi - \alpha/2) \sim V_{RF}^2 \quad (2)$$

因此 $V_{CA,DC}$ 随着 V_{RF} 的增大而增大. 易知 V_{BIAS} 与 $V_{CA,DC}$ 成正比,因此随着放大管栅极射频信号功率增大,自适应偏置电路的输出直流电压提升,从而缓解放大管导通角变小的趋势,提升 PA 的线性度.

2.2 射频开关

本芯片中单刀单掷开关基于串联-并联混合结构设计,其电路如图 4 所示,其中 $M1 \sim M4$ 管均为厚栅 DNW MOSFET. 射频开关的控制信号 TC 及其反相信号由逻辑控制模块产生.

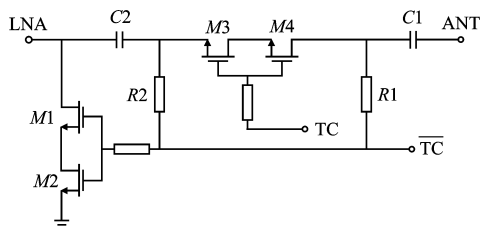


图 4 射频开关的电路结构

接收模式下, TC 为高电平(接近电源电位), TC 的反相信号将 $M3$ 管源极及 $M4$ 管漏极钳制于低电平(接近地电位). 此时, $M3 \sim M4$ 管处于线性区, $M1 \sim M2$ 管处于截至区, 射频开关将天线端的小功率射频信号传输至 LNA 进行低噪声放大; 发射模式下, TC 为低电平, TC 的反相信号将 $M3$ 管源极及 $M4$ 管漏极钳制于高电平, 此时, $M3 \sim M4$ 管处于截

至区, 天线端与 LNA 输入端断开连接, $M1 \sim M2$ 管处于线性区, 将 LNA 输入端的信号电平拉至地电位.

$M1$ 管及 $M2$ 管的尺寸越大, 二管的栅寄生电容和漏源寄生电容越大, 对 LNA 输入端的等效阻抗越小, 因而发射模式下射频开关的隔离度也就越好, 但接收模式下开关的插入损耗也就越大. 与之相反, $M3$ 管及 $M4$ 管的尺寸越大, 它们的导通电阻越小, 接收模式下开关的插入损耗也就越小, 但发射模式下开关的隔离度也就越差. 因此, 本射频开关的插入损耗和隔离度是一对“相互矛盾”的量, 设计时需折中考虑 $M1 \sim M4$ 管的尺寸, 在保证开关闭合时 LNA 的输入放大管不受天线端大功率信号影响而击穿的前提下, 尽力降低开关的插入损耗, 以提升芯片在接收模式下的动态范围.

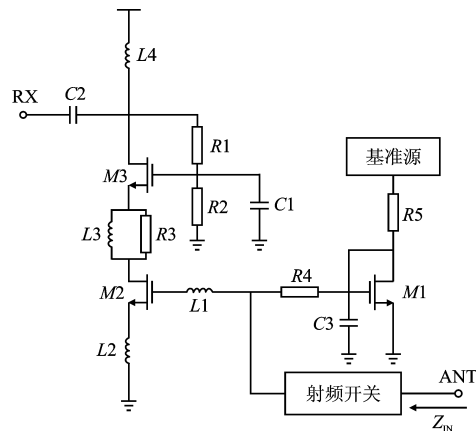


图 5 2.4GHz 射频低噪声放大器的电路结构

2.3 射频低噪声放大器

本芯片中 2.4 GHz 射频低噪声放大器基于经典的源简并电感型结构设计, 放大单元采用带有 L-R 型管间匹配网络的 CASCODE 结构, 以提升 LNA 的增益及反向隔离度, 降低密勒效应的影响. LNA 的电路结构如图 5 所示, 其中 $M1 \sim M2$ 管为厚栅 DNW MOSFET, 而 $M3$ 管为标准 DNW MOSFET, 其沟道长度为 $0.18 \mu\text{m}$.

LNA 的输入阻抗匹配网络由电感 $L1 \sim L2$ 、 $M2$ 管的栅源寄生电容 C_{GS2} 及单刀单掷射频开关的等效电容 C_s 构成, 由小信号等效电路易得, 从天线端向射频开关方向看去的输入阻抗约为

$$Z_{DM} \approx j\omega(L_1 + L_2) + \frac{1}{j\omega C_{GS2}} + \frac{1}{j\omega C_s} + \frac{g_{m2} L_2}{C_{GS2}} \quad (3)$$

因此, 为使 LNA 输入阻抗与天线端阻抗 R_s 实现功率匹配, 需保证

$$R_s = \frac{g_{m2}L_2}{C_{GS2}}, \omega_0(L_1 + L_2) = \frac{1}{\omega_0}(\frac{1}{C_{GS2}} + \frac{1}{G_s}) \quad (4)$$

式中, g_{m2} 为 $M2$ 管的跨导; $\omega_0 = 2\pi f_0$; f_0 为 LNA 的中心频率. 设计时, 首先根据噪声理论确定 $M2$ 管的偏置条件与尺寸^[2], 从而确定 C_{GS2} 和 g_{m2} , 而后根据式(4) 确定电感 $L1 \sim L2$ 的大小.

电感 $L3$ 与电阻 $R3$ 构成 CASCODE 管间匹配网络, 用以实现 $M2$ 管漏极阻抗与 $M3$ 管源极阻抗间的共轭匹配, 从而减小射频信号流经 CASCODE 管间节点时的功率损耗, 提升 LNA 的增益及噪声性能^[3]. 电阻 $R1 \sim R2$ 和电容 $C1$ 构成分压型自偏置电路, 为 $M3$ 管提供合适的直流偏置, $M3$ 管的栅极偏压需略高于 $M2$ 管, 以保证其始终工作于饱和区. 电感 $L4$ 与电容 $C2$ 构成 LNA 的输出匹配网络, 将 $M3$ 管的输出阻抗共轭匹配至 50 欧姆.

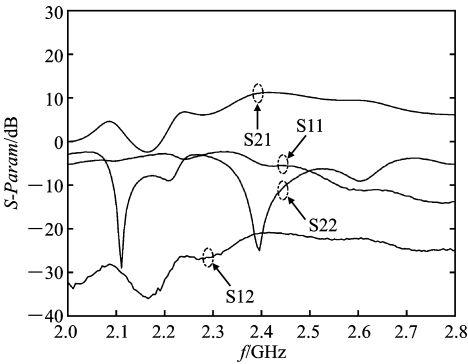


图 6 芯片接收模式的 S 参数测试结果

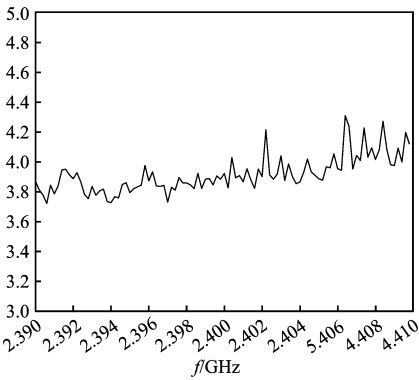


图 7 芯片接收模式的噪声系数测试结果

3 测试结果

衡量本芯片信号接收性能的指标主要包含 S 参数、噪声系数和三阶交调点等. 芯片在接收模式下的 S 参数测试结果如图 7 所示, 可以读出, 2.4 GHz 频点处, 芯片的小信号增益为 11.2 dB, 输入\输出回波损耗分别为 -5.8 dB 和 -21.1 dB, 反向隔离度

为 -22 dB. 芯片的噪声系数测试结果如图 8 所示, 可以读出, 芯片在 2.4 GHz 频点处的噪声系数约为 3.9 dB. 受 PA 负载效应影响, 芯片信号接收链路的输入端未能与天线端间实现良好的阻抗匹配, 导致 S11 曲线出现频偏, 但大体上, 芯片在接收模式下的小信号特性及噪声性能满足一般的应用需求. 芯片在接收模式下的双音测试结果如图 9 所示, 所用双音频率分别为 $f_1=2.405$ GHz 和 $f_2=2.395$ GHz, 可以读出, 芯片的输入三阶交调点 IIP3 约为 3.9 dBm, 可见芯片在接收模式下具备较高的线性度.

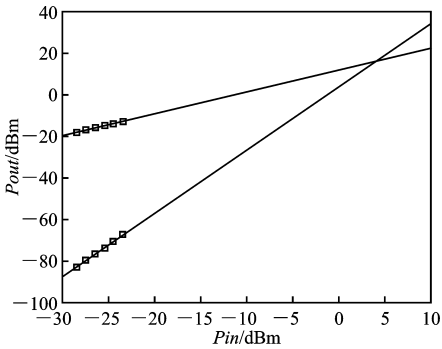


图 8 芯片接收模式的双音测试结果

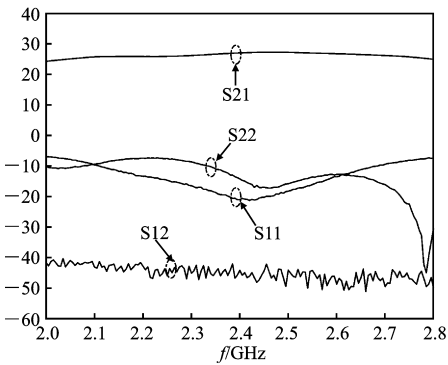


图 9 芯片发射模式的 S 参数测试结果

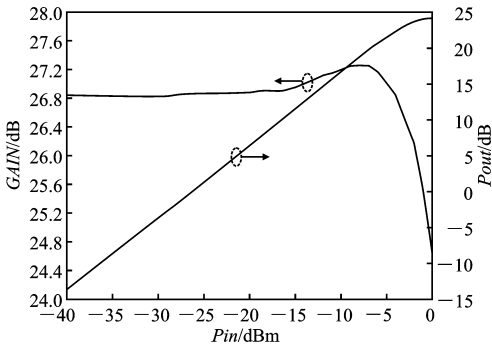


图 10 芯片发射模式的输入输出特性测试结果

衡量本芯片信号发射性能的指标主要包含 S 参数、输出 1 dB 压缩点、饱和输出功率和 PAE 等. 发射模式下, 芯片的 S 参数测试结果如图 9 所示, 可

以读出,在 2.4 GHz 频点处,芯片的输入/输出回波损耗分别为-21 dB 及-14.2 dB,功率增益为 26.8 dB,反向隔离度约为-44 dB,表明本芯片在本模式下具备良好的小信号特性及信号放大能力. 芯片的输入输出特性测试结果及 PAE 曲线测试结果分别

表 1 本芯片性能总结及与其它相关工作的对比

参数	文献[4]		文献[5]		本文	
制造工艺	0.13 μm CMOS		0.18 μm CMOS		0.18 μm CMOS	
工作频率(GHz)	2.4		2.4		2.4	
裸片面积(mm ²)	1.58 $\times$ 1.48		1.06 $\times$ 1.71		1.10 $\times$ 1.38	
工作模式	发射模式	接收模式	发射模式	接收模式	发射模式	接收模式
增益(dB)	33	14.8	17.7	11.7	26.8	11.2
OP1dB(dBm)	—	—	20	—	23.5	—
饱和输出功率(dBm)	27	—	21.4	—	24	—
峰值 PAE(%)	20	—	23.8	—	24	—
噪声系数(dB)	—	3.6	—	3.4	—	3.9
IIP3(dBm)	—	-2.7	—	2.1	—	3.9

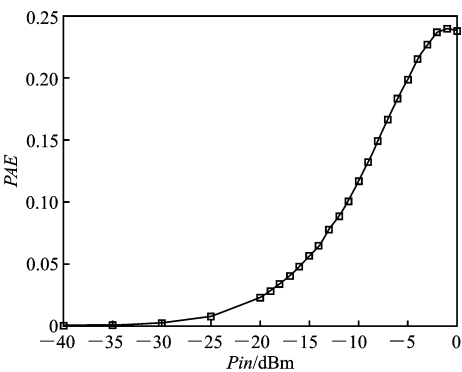


图 11 芯片发射模式的 PAE 曲线测试结果

本芯片的性能总结及与其它相关工作的对比结果如表 1 所示. 文献[4]中的 PA 由于采用了差分结构和巴伦元件,因此相较本芯片中的 PA 具备更高的增益及饱和输出功率,但本 PA 的峰值 PAE 较之更高,在接收模式下的线性度也较之更好. 文献[5]所提出的芯片在接收模式下的噪声性能优于本芯片,但本芯片的其它指标均较之更好.

4 结束语

本文基于 0.18 μm CMOS 工艺设计了一款多模块集成 2.4 GHz 射频前端芯片,以提升无线终端射频模组的集成度、降低终端的制造成本. 其间,应用自适应偏置电路技术提升了单端多级结构 PA 的线性度,应用 CASCODE 管间匹配技术提升了

如图 10 和图 11 所示,可以读出,芯片的输出 1 dB 压缩点约为 23.5 dBm、饱和输出功率约为 24 dBm、峰值 PAE 约为 24%、功率回退 6 dB 处的 PAE 约为 14%,可见,本芯片在发射模式下具备较高的线性度及工作效率.

LNA 的增益及噪声性能. 测试结果显示:发射模式下,芯片具备优良的小信号特性和较高的工作效率及线性度,但受制于单端结构,PA 的饱和输出功率偏低;接收模式下,芯片具备可观的增益及线性度,但由于在设计时未详尽考虑射频开关对 LNA 输入阻抗匹配网络的影响,导致芯片的输入回波损耗和噪声系数偏高. 总的来说,本芯片具备较为优良的射频信号放大能力,因此对 2.4GHz ISM 频段通信系统具备一定的应用价值.

参考文献:

[1] JOSEPH A, WOLF R. Integrated silicon RF front-end solutions for mobile communications[C]// IEEE 10th International Conference on ASIC. Shenzhen, China, 2013: 1-4.

[2] CHI B Y, YU Z P, SHI B X. Analysis and design of CMOS RF integrated circuits[M]. Beijing: Tsinghua University Press, 2006: 169-180.

[3] KIM W-S, LI X, ISMAIL M. A 2.4 GHz CMOS low noise amplifier using an inter-stage matching inductor [C]// 42nd Midwest Symposium on Circuits and Systems. Las Cruces, NM, USA, 1999: 1040-1043.

[4] JOO T, LEE D-H, HONG S. A fully integrated RF CMOS front-end IC for connectivity applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(11): 1024-1028.

[5] CHEN L, LE J L, GAN Y B, et al. A 2.4 GHz CMOS RF front-end circuit [J]. Microelectronics, 2017, 47(5): 609-613.

作者简介:

陈福栈 男,(1995-),硕士研究生. 研究方向为射频集成电路设计. E-mail:chenfuzhan@casic.ac.cn.

甘业兵 男,(1981-),副研究员. 研究方向为射频与模拟集成电路设计.
罗彦彬 男,(1988-),博士. 研究方向为射频与模拟集成电路设计.
叶甜春 男,(1965-),研究员. 研究方向为集成电路制造技术、新型器件及微细加工技术等.

(上接第 26 页)

[7] LEBOEUF K, NAMINA H, MUSCEDERE R, et al. High Speed VLSI Implementation of the Hyperbolic Tangent Sigmoid Function[C]// 2008 Third International Conference on Convergence and Hybrid Information Technology. Busan:IEEE, 2008: 1070-1073.
[8] ZHANG M, VASSILIADIS S, DELGADOFRIAS J G, et al. Sigmoid generators for neural computing using piecewise approximations[J]. IEEE Transactions on Computers, 1996, 45(9): 1045-1049.
[9] SHRUGAL V, NISHA S, RICHA U. Hardware Implementation Of Hyperbolic Tan Using Cordic On FPGA [J]. International Journal of Engineering Research and Applications (IJERA), 2013, 3(2): 696-699.
[10] ZHU W J. Research and development trend of improved CORDIC algorithm[J]. Popular Science and Technology, 2010(4): 17-18+25.

[11] PARHAMI B. Generalized signed-digit number systems: a unifying framework for redundant number representations[J]. IEEE Transactions on Computers, 1990, 39(1): 89-98.

作者简介:

吴 绮 女,(1995-),硕士研究生. 研究方向为数字集成电路设计,电路与系统.
金楚风 男,(1998-),本科. 研究方向为集成电路设计.
陈 刚 男,(1985-),副研究员. 研究方向为人工智能芯片,智能优化算法.
鲁华祥(通讯作者) 男,(1965-),研究员,博士生导师. 研究方向为类神经计算芯片、类脑神经计算技术和应用系统、信息与信号处理. E-mail:luhx@semi.ac.cn
陈 旭 女,(1978-),副研究员. 研究方向为神经网络、智能信息处理.